

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-094120  
 (43)Date of publication of application : 06.04.2001

(51)Int.Cl.

H01L 29/80

(21)Application number : 11-267535  
 (22)Date of filing : 21.09.1999

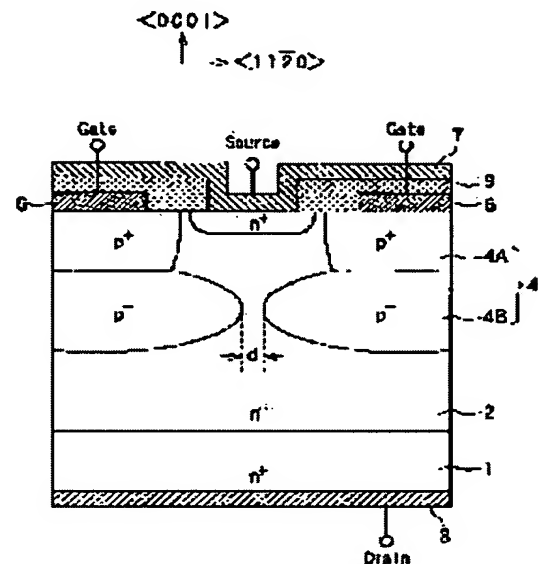
(71)Applicant : DENSO CORP  
 (72)Inventor : RAJESH KUMAR  
 YAMAMOTO TAKESHI  
 OKUNO HIDEKAZU

## (54) SILICON CARBIDE SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

## (57)Abstract:

PROBLEM TO BE SOLVED: To enable constituting a gate region getting into underside of a source region, without subjecting the region high-energy ion implantation.

SOLUTION: C (carbon) is ion-implanted to a predetermined depth, deeper than an n-type source region 3 at a reserved portion to form a p-type gate region 4 in a surface layer of an n-type drift region 2. Further, a second inductive impurity is ion-implanted to a deep region 4B, deeper than the region 4A and to the depth where C is ion-implanted in the surface layer of the n-type drift region 2. Thereafter, a p-type impurity is activated by heat-treatment. As a result, lateral dispersion of the p-type impurity is suppressed to the limit of the depth where C is ion-implanted, and lateral dispersion is enlarged in the region deeper than the depth where C is ion-implanted, resulting in constitution of p-type gate region, in such a manner as to creep into under the source region.



## LEGAL STATUS

[Date of request for examination] 20.02.2002  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-94120

(P2001-94120A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 29/80

識別記号

F I

H 0 1 L 29/80

データベース\* (参考)

V 5 F 1 0 2

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願平11-267535

(22) 出願日 平成11年9月21日 (1999.9.21)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 ラジェシュ クマール

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 山本 剛

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(74) 代理人 100100022

弁理士 伊藤 洋二 (外2名)

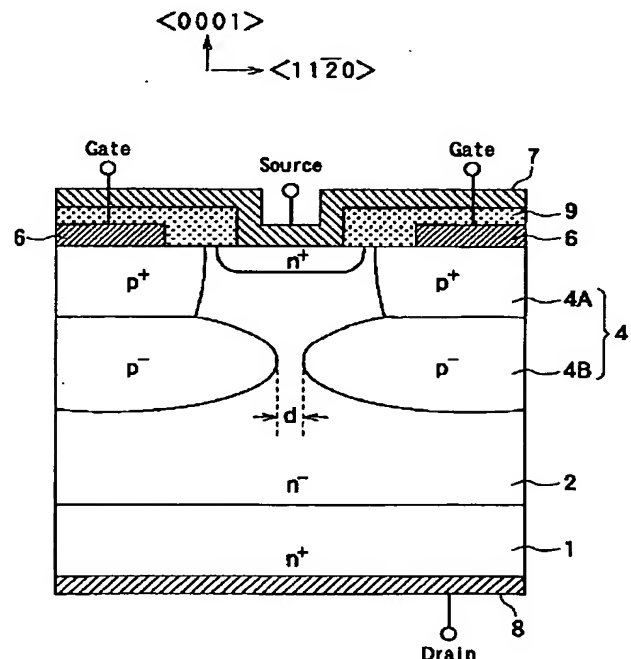
最終頁に続く

(54) 【発明の名称】 炭化珪素半導体装置及びその製造方法

(57) 【要約】

【課題】 高エネルギーのイオン注入を行わなくても、ソース領域の下方までゲート領域が入り込んだ構造を形成できるようにする。

【解決手段】 n型ドリフト領域2の表層部のうち、p型ゲート領域4の形成予定部分に、n型ソース領域3よりも深い所定深さまでC（炭素）をイオン注入する。そして、n型ドリフト領域2の表層部のうち、Cが注入された領域4A及び該Cが注入された深さよりも深い領域4Bまで第2導電型不純物をイオン注入する。その後、熱処理により、p型不純物を活性化させる。これにより、Cが注入された深さまでにおいては、p型不純物の横方向拡散が抑制され、Cが注入された深さよりも深い領域においては、p型不純物が横方向拡散され、ソース領域の下方まで入り込むようにp型ゲート領域4が形成される。



## 【特許請求の範囲】

【請求項 1】 主表面と該主表面の反対面を有する低抵抗なドレイン領域（１）と、

前記ドレイン領域の前記主表面に形成され、該ドレイン領域よりも高抵抗な第 1 導電型のドリフト領域（２）と、

前記ドリフト領域の表層部に形成され、該ドリフト領域よりも低抵抗な第 1 導電型のソース領域（３）と、

前記ドリフト領域の表層部において、前記ソース領域の両側のそれぞれに該ソース領域から離間した状態で形成された第 2 導電型のゲート領域（４）と、前記ゲート領域上に形成され、該ゲート領域に電氣的に接続されたゲート電極（６）と、

前記ソース領域上に形成され、該ソース領域に電氣的に接続されたソース電極（７）と、

前記ドレイン領域のうち前記反対面に形成され、該ドレイン領域に電氣的に接続されたドレイン電極（８）とを備え、

前記ゲート領域は、

前記ドリフト領域の表面から前記ソース領域よりも接合深さが深い位置まで形成された第 1 の領域（４ A）と、該第 1 の領域よりも接合深さが深く形成されており、前記ソース領域の下方まで入り込むように構成された第 2 の領域（４ B）とを備えており、

前記第 2 の領域は、前記第 1 の領域よりも不純物濃度が低くなっていることを特徴とする炭化珪素半導体装置。

【請求項 2】 前記第 1 の領域には、不活性なイオン種がドーピングされていることを特徴とする請求項 1 に記載の炭化珪素半導体装置。

【請求項 3】 前記ソース領域の両側のそれぞれに形成された前記第 1 の領域の間において、前記ドリフト領域には、不活性なイオン種がドーピングされていることを特徴とする請求項 1 又は 2 に記載の炭化珪素半導体装置。

【請求項 4】 前記ゲート領域は、p 型半導体で構成されており、前記第 1 の領域には p 型不純物として A<sup>+</sup> が用いられ、前記第 2 の領域には p 型不純物として B<sup>+</sup> が用いられていることを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 5】 前記ゲート電極への印加電圧が零である場合において、前記ソース領域の両側に形成された前記第 1 の領域それぞれから伸びる空乏層によって、該第 1 の領域の間における前記ドリフト領域がピンチオフされるようになっていることを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 6】 主表面と該主表面の反対面を有する低抵抗なドレイン領域（１）の前記主表面に、該ドレイン領域よりも高抵抗な第 1 導電型のドリフト領域（２）が備えられ、該ドリフト領域の表層部に、該ドリフト領域よりも低抵抗な第 1 導電型のソース領域（３）が形成され

ていると共に、該ソース領域の両側のそれぞれに第 2 導電型のゲート領域（４）が形成されてなる炭化珪素半導体装置の製造方法において、

前記ドリフト領域の表層部のうち、前記ゲート領域の形成予定部分に、前記ソース領域よりも深い所定深さまで不活性なイオン種をイオン注入する工程と、

前記ドリフト領域の表層部のうち、前記不活性なイオン種が注入された領域（４ A）及び該不活性なイオン種が注入された深さよりも深い領域まで第 2 導電型不純物をイオン注入する工程と、

熱処理により、前記第 2 導電型不純物を活性化し、前記不活性なイオン種が注入された深さまでにおいては、該第 2 導電型不純物の横方向拡散を抑制させ、前記不活性なイオン種が注入された深さよりも深い領域においては、該第 2 導電型不純物を横方向拡散させ前記ソース領域の下方まで入り込むようにして、前記ゲート領域を形成する工程と、

前記ドリフト領域の表層部に、前記ゲート領域から離間するように前記ソース領域を形成する工程と、

を含んでいることを特徴とする炭化珪素半導体装置の製造方法。

【請求項 7】 主表面と該主表面の反対面を有する低抵抗なドレイン領域（１）の前記主表面に、該ドレイン領域よりも高抵抗な第 1 導電型のドリフト領域（２）が備えられ、該ドリフト領域の表層部に、該ドリフト領域よりも低抵抗な第 1 導電型のソース領域（３）が形成されていると共に、該ソース領域の両側のそれぞれに第 2 導電型のゲート領域（４）が形成されてなる炭化珪素半導体装置の製造方法において、

前記ドリフト領域の表層部のうち、前記ソース領域の両側に配置される前記ゲート領域それぞれの形成予定部分の間に、前記ソース領域よりも深い所定深さまで不活性なイオン種をイオン注入する工程と、

前記ドリフト領域の表層部のうち、前記ゲート領域の形成予定部分に、前記不活性なイオン種が注入された深さよりも深い領域まで第 2 導電型不純物をイオン注入する工程と、

熱処理により、前記第 2 導電型不純物を活性化し、前記不活性なイオン種が注入された深さまでにおいては、該第 2 導電型不純物の横方向拡散を抑制させ、前記不活性なイオン種が注入された深さよりも深い領域においては、該第 2 導電型不純物を横方向拡散させ前記ソース領域の下方まで入り込むようにして、前記ゲート領域を形成する工程と、

前記ドリフト領域の表層部に、前記ゲート領域から離間するように前記ソース領域を形成する工程と、

を含んでいることを特徴とする炭化珪素半導体装置の製造方法。

【請求項 8】 前記ゲート領域を形成する工程では、前記不活性なイオン種が注入された深さよりも深い領域に

において、前記第2導電型不純物を<112-0>方向に横拡散させることを特徴とする請求項6又は7に記載の炭化珪素半導体装置の製造方法。

【請求項9】 前記第2導電型不純物をイオン注入する工程では、前記第2導電型不純物としてB（ボロン）のイオン注入を行い、

前記不活性なイオン種をイオン注入する工程では、前記不活性なイオン種としてC（炭素）のイオン注入を行うことを特徴とする請求項6乃至8のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項10】 主表面と該主表面の反対面を有する低抵抗なドレイン領域（1）の前記主表面に、該ドレイン領域よりも高抵抗なn型のドリフト領域（2）が備えられ、該ドリフト領域の表層部に、該ドリフト領域よりも低抵抗なn型のソース領域（3）が形成されていると共に、該ソース領域の両側のそれぞれにp型のゲート領域（4）が形成されてなる炭化珪素半導体装置の製造方法において、

前記ドリフト領域の表層部のうち、前記ゲート領域形成予定部分に、前記ソース領域よりも深い所定深さまでA1（アルミニウム）をイオン注入する工程と、

前記ドリフト領域の表層部のうち、前記ゲート領域形成予定部分に、前記A1が注入された領域よりも深い領域にB（ボロン）をイオン注入する工程と、

熱処理により、前記A1及び前記Bを活性化し、前記Bを前記ソース領域の下方まで入り込むように横方向拡散させて、前記ゲート領域を形成する工程と、

前記ドリフト領域の表層部に、前記ゲート領域から離間するように前記n型ソース領域を形成する工程と、  
を含んでいることを特徴とする炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、炭化珪素を用いたSIT（静電誘導型トランジスタ）等の半導体装置に関するものである。

【0002】

【従来の技術】 従来のSITとして、特開平10-294471号公報に示すものが提案されている。この公報に示すSITの断面構造を図8に示す。

【0003】 図8に示すように、n型ドレイン領域101の上にn型ドリフト領域102が形成されている。また、n型ドリフト領域102の表層部において不純物濃度が高い低抵抗なn型ソース領域103が形成されており、このn型ソース領域103の両側に接するように不純物濃度の高い低抵抗なp型ゲート領域104が形成されている。このp型ゲート領域104は、n型ソース領域103の下方まで入り込むように形成されている。そして、p型ゲート領域104、n型ソース領域103の表面に接するように、それぞれゲート電極105、ソー

ス電極106が形成され、n型ドレイン領域101の裏面に接するようにドレイン電極107が形成された構成となっている。

【0004】

【発明が解決しようとする課題】 上記従来のSITにおいては、p型ゲート領域104の形成のために2段階のイオン注入を行い、2回目のイオン注入を1回目のイオン注入よりも高エネルギーで行うことにより、注入イオンとn型ドリフト領域102内の原子との核衝突によるエネルギー損失を増加させ、注入されたイオンの横方向散乱距離を大きくすることで、p型ゲート領域104がn型ソース領域103の下方まで入り込むようにしている。

【0005】 このような場合、p型ゲート領域104の形成のための2回目のイオン注入を、核衝突によるエネルギー損失を考慮しつつ、かつ深くまでイオンが注入されるように実施する必要がある。このため、非常に高エネルギーにイオン注入を行わなければならない。特に、半導体装置を炭化珪素で構成する場合には、シリコンで構成する場合に比して極めて高エネルギーのイオン注入を行う必要性があり、このような高エネルギーを発生しうるイオン注入装置が必要とされる。

【0006】 また、上記従来のSITでは、核衝突による横方向の散乱を用いており、この方法ではp型ゲート領域104の間隔を狭くするには限界がある。従って、ゲート印加電圧が零の場合にp型ゲート領域104からp型ゲート領域104の間に挟まれたn型ドリフト領域102へ両側から伸びる空乏層がつながらず、ノーマリオープン特性となる。このようなノーマリオープン型のSITでは、オフさせるために高い電圧が必要となること、ゲート印加電圧が零となったときにもオフできないためフェイルセーフ上の問題があること等の問題がある。

【0007】 さらに、上記従来のSITでは、n型ソース領域103とp型ゲート領域104とが接するように形成しているため、PN接合間におけるリーク電流が生じる。図9に、n型ソース領域103とp型ゲート領域104とが接するように構成した場合における逆方向電圧-リーク電流特性を示す。なお、この図では、n型ソース領域形成用の不純物としてリンを用いた場合、窒素を用いた場合それぞれにおいて上記関係を調べている。この図に示されるように、逆バイアスが印加されるとリーク電流が生じ、逆バイアス時における耐圧が得られないという問題もある。

【0008】 本発明は上記点に鑑みて成され、高エネルギーのイオン注入を行わなくても、ソース領域の下方までゲート領域が入り込んだ構造を形成できるようにすることを第1の目的とする。

【0009】 また、ソース領域の下方までゲート領域が入り込んだ構造の半導体装置をノーマリオフ特性にでき

るようにすることを第2の目的とする。

【0010】さらに、逆バイアス時における耐圧が得られるようにすることを第3の目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するため、請求項1乃至5に記載の発明では、ゲート領域

(4)は、ソース領域(3)から離間されていると共に、ドリフト領域の表面からソース領域よりも接合深さが深い位置まで形成された第1の領域(4A)と、該第1の領域よりも接合深さが深く形成され、ソース領域の下方まで入り込むように構成された第2領域(4B)とを備えており、第2の領域が第1の領域よりも不純物濃度が低くなっていることを特徴としている。

【0012】このように、第2の領域がソース領域の下方まで入り込むように形成されているため、その間隔を狭くすることにより、請求項5に示すように、ゲート電極への印加電圧が零である場合においても、第2の領域間におけるドリフト領域をピンチオフでき、ノーマリオフ型の装置とすることができる。このため、フェイルセーフ上有利な装置とすることができる。また、第2の領域の不純物濃度を低くしているため、ドレイン領域との間のPN接合の逆耐圧を高くすることができる。すなわち、ゲートドレイン耐圧が高くなるようにできる。

【0013】また、ゲート領域がソース領域から離間されるようにしているため、これらによって形成されるPN接合によるリーク電流の発生を防止することができる。このため、逆バイアス時における耐圧が得られるようにできる。する炭化珪素半導体装置。

【0014】請求項6に記載の発明においては、ドリフト領域(2)の表層部のうち、ゲート領域(4)の形成予定部分に、ソース領域(3)よりも深い所定深さまで不活性なイオン種をイオン注入する工程と、ドリフト領域の表層部のうち、不活性なイオン種が注入された領域(4A)及び該不活性なイオン種が注入された深さよりも深い領域(4B)まで第2導電型不純物をイオン注入する工程と、熱処理により、第2導電型不純物を活性化し、不活性なイオン種が注入された深さまでにおいては、該第2導電型不純物の横方向拡散を抑制させ、不活性なイオン種が注入された深さよりも深い領域においては、該第2導電型不純物を横方向拡散させソース領域の下方まで入り込むようにして、ゲート領域を形成する工程と、ドリフト領域の表層部に、ゲート領域から離間するようにソース領域を形成する工程と、を含んでいることを特徴としている。

【0015】不活性なイオン種(例えば、C(炭素))を注入しておく、不活性なイオン種が炭素サイトの空孔に入り込んで注入された領域の結晶欠陥を補修し、不純物の拡散が抑制される。このため、ゲート領域形成予定部分のうち、ソース領域よりも深い領域まで不活性なイオン種を注入しておくことで、この領域においては第

2導電型不純物の横方向拡散が抑制され、この領域よりも深い領域においては第2導電型不純物の横方向拡散が進むようにすることができる。そして、不活性なイオン種が注入された領域よりも深い領域においては熱拡散によって不純物濃度が低くなる。これにより、請求項1に記載の炭化珪素半導体装置が形成される。

【0016】請求項7に記載の発明は、ドリフト領域の表層部のうち、ソース領域の両側に配置されるゲート領域それぞれの形成予定部分の間に、ソース領域よりも深い所定深さまで不活性なイオン種をイオン注入することを特徴としている。

【0017】このように、ゲート領域それぞれの形成予定部分の間に不活性なイオン種をイオン注入しておけば、その間への熱拡散が抑制されるため、請求項6と同様に、請求項1に記載の炭化珪素半導体装置が形成される。

【0018】請求項8に記載の発明においては、第2導電型不純物の横方向拡散の方向を<112-0>としている。この<112-0>方向は、他の方向よりも第2導電型不純物が拡散し易い方向であるため、第2の領域間を容易に狭くすることができ、ドリフト領域を確実にピンチオフできる。

【0019】請求項9に記載の発明によれば、第2導電型不純物としてBを用い、不活性なイオン種としてCを用いることを特徴としている。

【0020】Bは、p型ドーパントの中でも拡散量が大きいことが知られており、横方向拡散を大きく取ることができる。また、不活性なイオン種としてCを用いると炭素サイトの空孔の結晶欠陥を同じ元素であるCによって補修するため、他の元素より補修しやすく、補修に用いる元素の注入量を少なくできる。

【0021】請求項10に記載の発明においては、ソース領域よりも深くなる領域までp型不純物としてA1を用い、この領域よりもさらに深い領域においてはp型不純物としてBを用いることを特徴としている。

【0022】この場合、A1の熱拡散量が小さく、Bの熱拡散量が大きいことから、ソース領域よりも深い領域においてBの横方向拡散によって、ゲート領域がソース領域の下方に入り込むように形成される。

【0023】なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0024】

【発明の実施の形態】(第1実施形態)図1に本実施形態におけるSITの断面構成を示す。この断面構成は1チャンネル分を図示したものであり、実際にはこのSITが複数備えられたマルチチャンネルとして用いられる。

【0025】図1に示すように、不純物濃度が比較的高いn型炭化珪素半導体基板で構成されたn型ドレイン領域1を備えている。このn型ドレイン領域1の主表面

に、エピタキシャル成長等によって形成された不純物濃度が比較的低い高抵抗なn型ドリフト領域2が備えられている。また、n型ドリフト領域1の表層部において、n型ドリフト領域1よりも不純物濃度が高い低抵抗なn型ソース領域3が形成されている。

【0026】そして、このn型ソース領域3の両側に、該n型ソース領域3から離間するようにp型ゲート領域4が形成されている。このp型ゲート領域4は、n型ドリフト領域1の表面からn型ソース領域3より深い位置までは基板表面にほぼ垂直に伸びたのち、横方向拡散によりn型ソース領域3の下方に入り込んだ形状を成している。このp型ゲート領域4のうち、n型ドリフト領域1の表面から基板表面にほぼ垂直に伸びた領域4Aは、不純物濃度が比較的高くなった低抵抗のp型半導体で構成され、この領域4Aよりも下方に位置する領域（n型ソース領域3の下方に入り込んだ領域を含む）4Bは領域4Aよりも不純物濃度が低くなった高抵抗のp型半導体で構成されている。また、領域4Aには不活性なイオン種としてC<sup>+</sup>がドーピングされた状態になっている。

【0027】さらに、p型ゲート領域4、n型ソース領域3の表面に接するように、それぞれゲート電極6、ソース電極7が形成され、n型ドレイン領域1の表面（n型炭化珪素半導体基板の裏面）に接するようにドレイン電極8が形成されてSITが構成されている。なお、ゲート電極6とソース電極7との間にはパッシベーション膜9が配置されており、これらの間が絶縁されている。

【0028】このように構成されたSITは、ゲート電極6への印加電圧を制御することによって、p型ソース領域4の領域4Bからn型ドリフト領域3に向かって伸びる空乏層の伸び量を変位させ、チャネル幅を伸縮させることにより、ソースドレイン間に流れるドレイン電流の電流量を制御する。

【0029】また、ゲート電極6への電圧印加が成されていないときに、隣接するそれぞれのp型ソース領域4の領域4Bからn型ソース領域3に向かって伸びる空乏層によって、隣接する領域4Bの間がピンチオフされるようになっている。これにより、SITがノーマリオフ型となるようにしている。このため、隣接する領域4Bの間の最短距離dは、その間がピンチオフされる程度の長さ、すなわち両領域4Bそれぞれから伸びる空乏層の伸び量以下となるように設定されている。本実施形態においては、領域4Bが不純物濃度の比較的低い高抵抗なp型半導体で構成されるようにしているため、領域4Bからn型ドリフト領域1に向かって伸びる空乏層の伸び量が大きくでき、両領域4Bの間をピンチオフさせ易くできる。

【0030】また、n型ソース領域3とp型ゲート領域4とが接触していないため、これらが接触することによって形成されるPN接合部のリーク電流を防止することができ、逆バイアス時における耐圧が得られるようにで

きる。

【0031】続いて、図1に示すSITの製造工程を図2～図5に示し、SITの製造方法について説明する。

【0032】〔図2（a）に示す工程〕まず、（0001）シリコン面で切り出された厚さ400μm程度の3C、4H、6H若しくは15R-SiCで構成された不純物濃度が比較的高濃度な低抵抗のn型半導体基板を用意する。このとき、後述するように4H、6Hにおいては、特にBの拡散を利用したい方向を<112-0>とするのが望ましい。すなわち、この場合、図面を横切る方向が<112-0>となるようにするとよい。このn型半導体基板がn型ドレイン領域1を構成する。そして、このn型ドレイン領域1の主表面に、炭化珪素で構成された不純物濃度がn型ドレイン領域1よりも低い高抵抗なn型ドリフト領域2をエピタキシャル成長により厚さ10.0μm程度で形成する。

【0033】〔図2（b）に示す工程〕n型ドリフト領域2の表面に、p型ゲート領域形成予定部分が開口するLTO膜21を配置し、このLTO膜21をマスクとして不活性なイオン種としてC<sup>+</sup>（炭素）のイオン注入を行う。このとき、イオン注入によってp型ゲート領域4の領域4A（図1参照）の深さまでC<sup>+</sup>が注入されるようにイオン注入条件を設定している。

【0034】これにより、C<sup>+</sup>が炭素サイトの空孔に入り込んで、炭素サイトの空孔を無くし、n型ドリフト領域2に存在していた結晶欠陥が補修される。

【0035】〔図3（a）に示す工程〕LTO膜21を再度マスクとして、B<sup>+</sup>（ボロン）のイオン注入を行う。これにより、p型ゲート領域4が形成される。このとき、C<sup>+</sup>が注入された領域4AにおいてはC<sup>+</sup>に重ねてB<sup>+</sup>が注入されるようにし、さらに、このC<sup>+</sup>が注入された領域4Aよりも深い位置の領域4BまでB<sup>+</sup>が注入されるようにイオン注入条件を設定している。

【0036】〔図3（b）に示す工程〕熱処理を施し、注入されたB<sup>+</sup>を活性化させる。このとき、領域Aについては、B<sup>+</sup>と共にC<sup>+</sup>が注入されて結晶欠陥が補修されているため、B<sup>+</sup>の熱拡散が抑制され、B<sup>+</sup>はほぼ注入されたそのままの位置で活性化される。一方、領域BについてはC<sup>+</sup>が注入されていないため、横方向及び下方への拡散が進む。これにより、領域4Bにおいては、後工程（図4（a）に示す工程）で形成するn型ソース領域3の下方までB<sup>+</sup>が横方向拡散する。なお、p型不純物のなかでB<sup>+</sup>は熱拡散し易い原子であり、例えば、Al<sup>+</sup>（アルミニウム）等よりも熱拡散し易い。

【0037】このように、C<sup>+</sup>の横方向拡散によってp型ゲート領域4の領域4Bがn型ソース領域3の下方まで入り込むようにさせられるため、高エネルギーのイオン注入を必要としなくても容易に上記構造のp型ゲート領域4を形成することができる。

【0038】また、p型ゲート領域4の領域4Bにおい

てはB<sup>+</sup>が熱拡散されているため、領域4Bの不純物濃度が低くなるようにでき、領域4BにおいてはB<sup>+</sup>が熱拡散しないようにしているため、領域4Aの不純物濃度が高くなるようにできる。このため、隣接する領域4Bからその間のn型ドリフト領域2へ空乏層が伸び易くできノーマリオフ特性にできると共に、領域4Aを低抵抗にできるため、ゲート電極とのコンタクト抵抗が低くなるようにできる。

【0039】ここで、図6に、6H-SiCの(112-0)、(11-00)、(0001)面を用いてBを400keVでイオン注入したのち、1700℃で30分間熱処理した時におけるイオン注入直後と熱処理後の深さ方向のプロファイルを示す。

【0040】この図に示されるように、Bの拡散量の大きさは、〈112-0〉、〈11-00〉、〈0001〉の順となる。従って、領域4Bの横方向への広がりを高めるためには、広げたい方向、すなわちBを拡散させる方向を〈1120〉とすれば拡散量が最大となるため望ましい。このことから、素子のパターンとしても、p型ゲート領域4が並列に並ぶ(図面に対してp型ゲート領域4が垂直に伸びる)ストライプセル形状が望ましい。

【0041】また、図6に示すように、Bを横拡散させる方向を〈112-0〉とすると、他の方向に比べ、拡散量が最大となるため望ましい。

【0042】〔図4(a)に示す工程〕LTO膜21を除去したのち、n型ソース領域形成予定部分が開口したLTO膜22を配置し、LTO膜22をマスクとしてN<sup>+</sup>(窒素)とP<sup>+</sup>(リン)のいずれか一方若しくは双方をイオン注入し、n型ソース領域3を形成する。このとき、n型ソース領域3がp型ゲート領域4と接しないように、マスクずれを見込んで、LTO膜22の開口部分は、p型ゲート領域4の両領域4Aの間隔よりも十分に小さくする。

【0043】〔図4(b)に示す工程〕LTO膜22を除去したのち、ウェハ表面全面にポリシリコン膜を配置し、その後、ポリシリコン膜をパターニングしてゲート電極6を形成する。

【0044】〔図5(a)に示す工程〕ウェハ表面全面にパッシベーション膜9を配置したのち、パターニングしてパッシベーション膜9にn型ソース領域3と連通するコンタクトホールを形成する。

【0045】〔図5(b)に示す工程〕ウェハ表面全面にA1膜等の導電性膜をデポジションし、n型ソース領域3と電氣的に接続されるソース電極7を形成する。

【0046】そして、n型ドレイン領域1の裏面側にA1膜等の導電性膜をデポジションし、n型ドレイン領域1と電氣的に接続されるドレイン電極8を形成する。このようにして、図1に示すSITが完成する。

【0047】(第2実施形態)本実施形態は、第1実施形態に対してSITの製造工程を変更したものである。

なお、本実施形態のSITの構成及び製造工程は、ほぼ第1実施形態と同様であるため異なる部分についてのみの説明する。

【0048】以下、図7に基づいて本実施形態におけるSITの製造工程について説明する。なお、本実施形態におけるSITの製造工程において第1実施形態と同様の部分については、図2～図5を参照して説明を行う。

【0049】まず、図2(a)に示す工程を施して、n型ドレイン領域1の上にn型ドリフト領域2を形成する。その後、図7に示す工程を実施する。

【0050】〔図7(a)に示す工程〕n型ドリフト領域2の表面に、p型ゲート領域4の領域4A(図1参照)の間が開口するLTO膜を配置し、このLTO膜をマスクとして不活性なイオン種であるC<sup>+</sup>(炭素)のイオン注入を行う。このとき、イオン注入によってp型ゲート領域4の領域4Aの深さまでC<sup>+</sup>が注入されるようにイオン注入条件を設定している。

【0051】これにより、C<sup>+</sup>が炭素サイトの空孔に入り込んで、n型ドリフト領域2に存在していた結晶欠陥が補修される。

【0052】そして、p型ゲート領域形成予定部分が開口するLTO膜25をマスクとして、B<sup>+</sup>(ボロン)のイオン注入を行う。このとき、図7(a)の工程で形成されたC<sup>+</sup>が注入された領域よりも深くまでB<sup>+</sup>が注入されるようなイオン注入条件に設定している。これにより、p型ゲート領域4が形成される。これにより、p型ゲート領域4の両領域4Aの間には、C<sup>+</sup>が注入された領域が介在した状態となり、領域4Bの間にはC<sup>+</sup>が注入された領域が介在していない状態となる。

【0053】〔図7(b)に示す工程〕熱処理を施し、注入されたB<sup>+</sup>を活性化させる。このとき、領域4Aにおいては、両領域4Aの間においては、C<sup>+</sup>が注入されて結晶欠陥が補修されているため、B<sup>+</sup>の横方向拡散が抑制され、B<sup>+</sup>はほぼ注入されたそのままの位置で活性化される。一方、領域4Bについては、両領域4Bの間にC<sup>+</sup>が注入されていないため、横方向への拡散が進む。これにより、領域4Bにおいては、後工程で形成するn型ソース領域3の下方までB<sup>+</sup>が横方向拡散する。

【0054】このように、p型ゲート領域4の領域4Aの間にC<sup>+</sup>をイオン注入しておくことによって、領域4Aにおいては横方向拡散を抑制し、領域4Bにおいては横方向拡散によってn型ソース領域3の下方まで入り込むように形成できるため、第1実施形態と同様の効果が得られる。

【0055】この後、第1実施形態と同様に図4、図5に示す工程を実施することにより、本実施形態におけるSITが完成する。

【0056】なお、本実施形態のSITの構造は、p型ゲート領域4の領域4AにはC<sup>+</sup>が存在しておらず、両領域4Aの間にC<sup>+</sup>が存在した状態となっている点が第



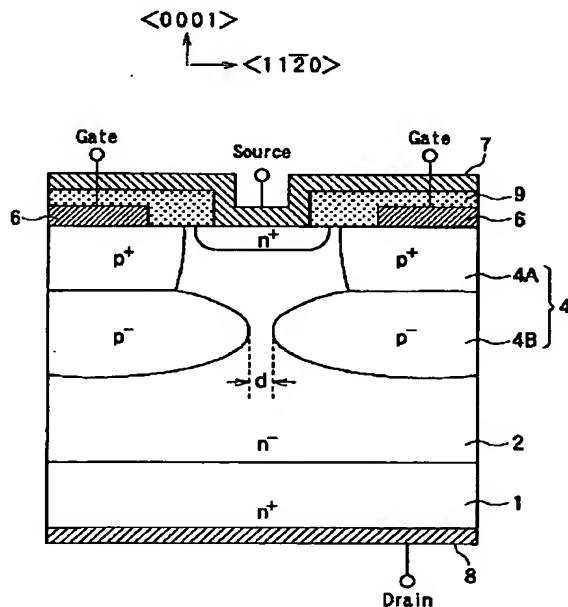
1 実施形態と異なるが、他の構成については同様である。

【0057】（他の実施形態）上記第1実施形態においては、p型ゲート領域4の領域4Aに不活性なイオン種としてC<sup>+</sup>をイオン注入しており、第2実施形態においては、両領域4Aの間に不活性なイオン種としてC<sup>+</sup>をイオン注入するようにしているが、これら両方に不活性なイオン種をイオン注入するようにしてもよい。

【0058】又、上記各実施形態では、不活性なイオン種としてC<sup>+</sup>を用いているが、他の不活性なイオン種、例えばAr（アルゴン）、He（ヘリウム）、Si（シリコン）などを用いてもよい。

【0059】また、上記実施形態においては、p型ゲート領域4の領域4AにおけるB<sup>+</sup>の熱拡散を抑制するために、C<sup>+</sup>のイオン注入を実施したが、他の方法を用いることも可能である。例えば、領域4Aにはp型不純物のうちでも熱拡散量が非常に小さいAl<sup>+</sup>を用い、領域4Bには熱拡散量が大きなB<sup>+</sup>を用いるようにしても、上記実施形態と同様に、領域4Aにおいてはイオン注入されたほぼそのままの状態では注入された不純物の活性化が行われ、領域4Bにおいてはn型ソース領域3の下方まで入り込むようにすることができるため、上記実施形態と同様の効果が得られる。なお、方位を示す場合、本来ならば所望の数字の上にバー（ $\bar{\phantom{x}}$ ）を付すべきである

【図 1】



が、表現の制約上、所望の数字の後ろにバーを付して示すこととする。

【図面の簡単な説明】

【図１】本発明の第１実施形態におけるＳＩＴの断面構成を示す図である。

【図2】図1に示すSITの製造工程を示す図である。

【図3】図2に続くSITの製造工程を示す図である。

【図4】図3に続くSITの製造工程を示す図である。

【図5】図4に続くSITの製造工程を示す図である。

【図6】 Bをイオン注入後に熱拡散させたときの拡散量の変化を示す図であり、(a)は(0001) Si面へイオン注入を行った場合、(b)は(11-00) a面へイオン注入を行った場合、(c)は(112-0) a面へイオン注入を行った場合を示す図である。

【図7】第2実施形態におけるSITの製造工程を示す図である。

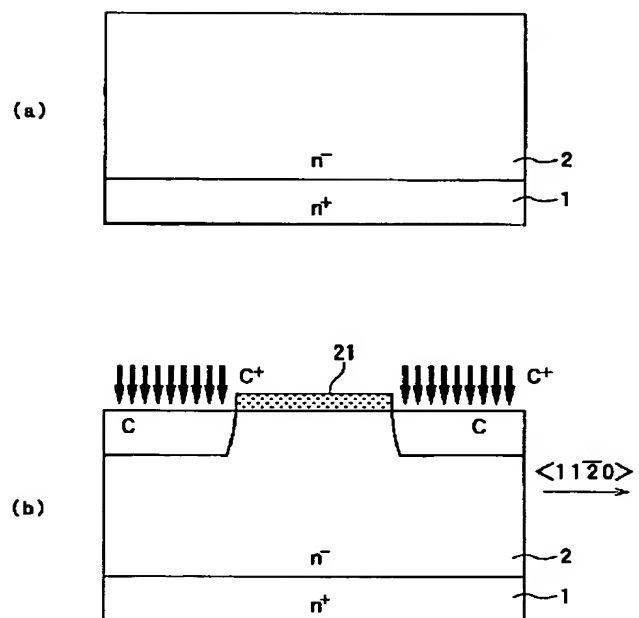
【図8】従来のSITの断面構成を示す図である。

【図9】従来のSITにおける逆バイアス時の耐圧を調べた結果を示す図である。

【符号の説明】

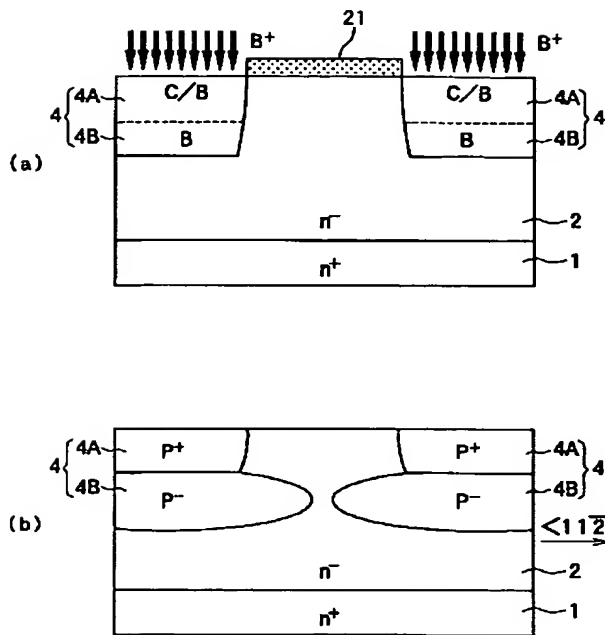
1…n型ドレイン領域、2…n型ドリフト領域、3…n型ソース領域、4（4A、4B）…p型ゲート領域、6…ゲート電極、7…ソース電極、8…ドレイン電極、9…パッシベーション膜。

【図 2】

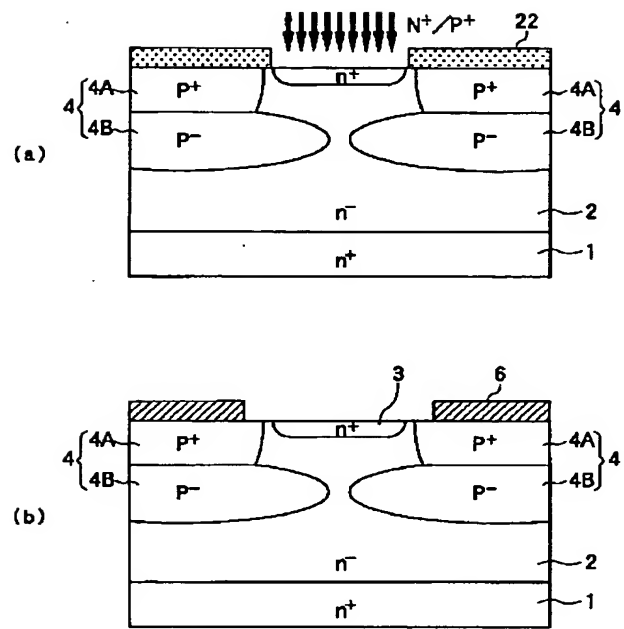




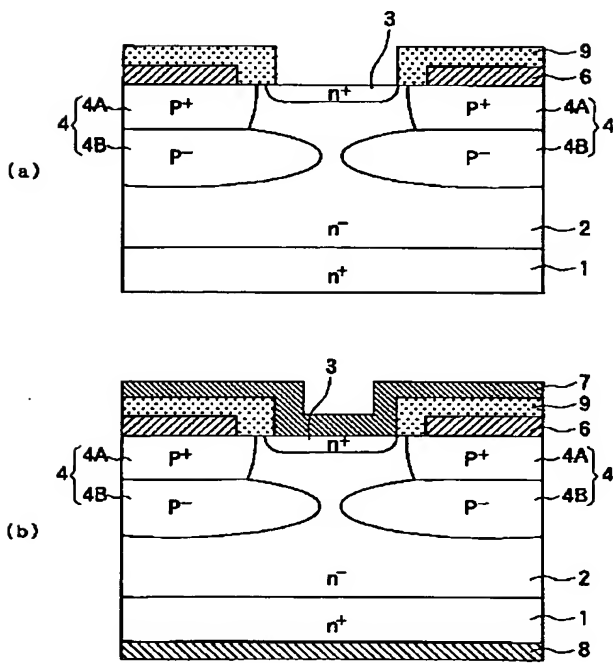
【図 3】



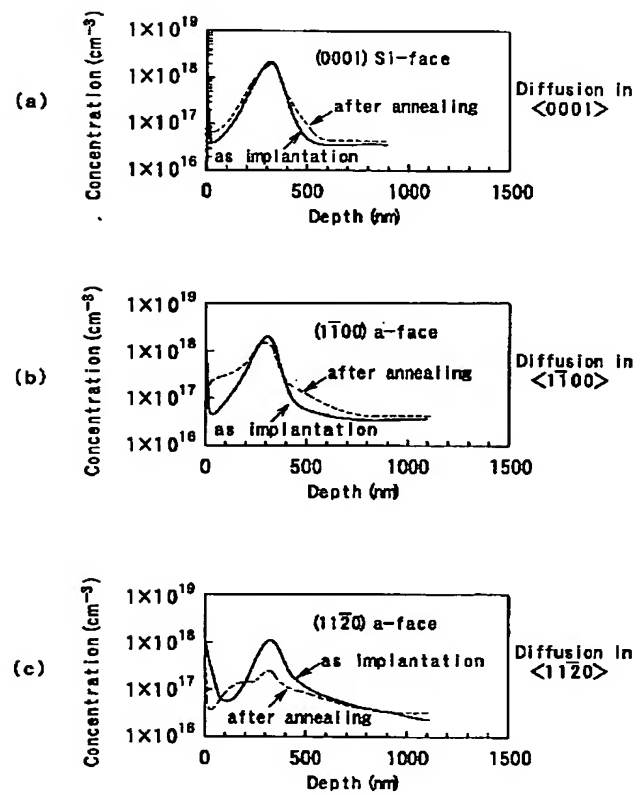
【図 4】



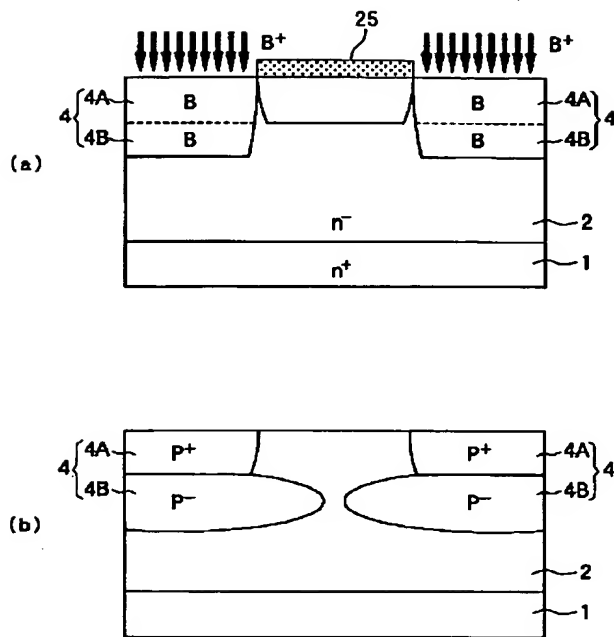
【図 5】



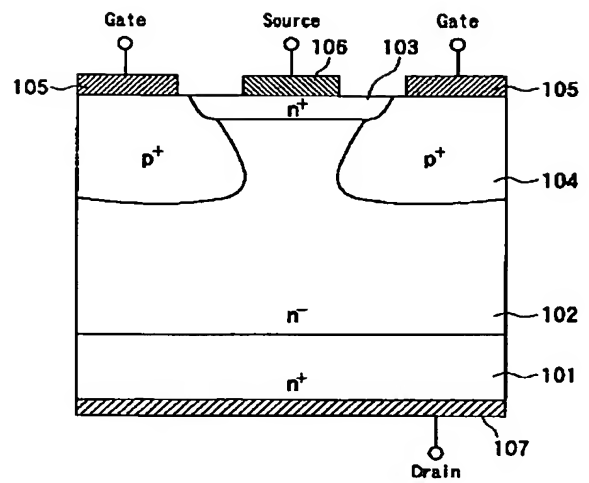
【図 6】



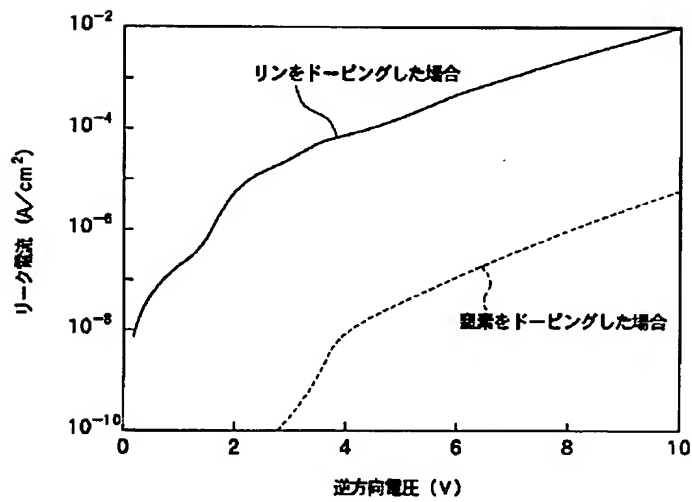
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 奥野 英一  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

Fターム(参考) 5F102 FA01 FB01 GB04 GC07 GC08  
GD04 GJ02 GR01 GR07 HC01  
HC07 HC21

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to semiconductor devices, such as SIT (static induction transistor) which used the silicon carbide.

[0002]

[Description of the Prior Art] What is shown in JP,10-294471,A is proposed as conventional SIT. The cross-section structure of SIT shown in this official report is shown in drawing 8.

[0003] As shown in drawing 8, n type drift region 102 is formed on n type drain field 101. moreover, in the surface section of n type drift region 102, high impurity concentration is high — low — high impurity concentration is high so that n type source field [\*\*\*] 103 may be formed and the both sides of this n type source field 103 may be touched — low — p type gate field [\*\*\*] 104 is formed This p type gate field 104 is formed so that it may enter to the lower part of n type source field 103. And it has the composition that the gate electrode 105 and the source electrode 106 were formed, respectively, and the drain electrode 107 was formed so that the rear face of n type drain field 101 might be touched so that the front face of p type gate field 104 and n type source field 103 may be touched.

[0004]

[Problem(s) to be Solved by the Invention] By performing two steps of ion implantations for formation of p type gate field 104, and performing the 2nd ion implantation by the high energy rather than the 1st ion implantation in the above-mentioned conventional SIT The energy loss by the nuclear collision of pouring ion and the atom in n type drift region 102 is made to increase, and it is made for p type gate field 104 to enter to the lower part of n type source field 103 by enlarging longitudinal direction dispersion distance of the poured-in ion.

[0005] in such a case, taking into consideration the energy loss according the 2nd ion implantation for formation of p type gate field 104 to a nuclear collision, it is necessary to carry out so that until ion may be poured in deeply For this reason, you have to perform an ion implantation to a high energy very much. When it constitutes a semiconductor device from a silicon carbide especially, there is the need of performing the ion implantation of a high energy extremely as compared with the case where it constitutes from silicon, and the ion implantation equipment which may generate such a high energy is needed.

[0006] Moreover, in the above-mentioned conventional SIT, dispersion of the longitudinal direction by the nuclear collision is used, and there is a limitation in narrowing the interval of p type gate field 104 by this method. Therefore, when gate applied voltage is zero, the depletion layer extended from both sides to n type drift region 102 inserted between p type gate field 104 and p type gate field 104 is not connected, but it becomes the property of NOMARI opening. In SIT of such a NOMARI open type, since it cannot turn off when high voltage's being needed and gate applied voltage become zero, in order to make it turn off, there are problems, like there is a problem on a failsafe.

[0007] Furthermore, in the above-mentioned conventional SIT, since it forms so that n type source field 103 and p type gate field 104 may touch, the leakage current between PN junctions arises. The reverse-voltage-leakage-current property at the time of constituting so that n type source field 103 and p type gate field 104 may touch drawing 9 is shown. In addition, in this drawing, when Lynn is used as an impurity for n type source field formation and nitrogen is used, the above-mentioned relation is investigated in each. If a reverse bias is impressed as shown in this drawing, a leakage current will arise, and there is also a problem that the pressure-proofing at the time of a reverse bias is not obtained.

[0008] Even if you accomplish this invention in view of the point describing above and you do not perform the ion implantation of a high energy, let it be the 1st purpose to enable it to form the structure into which the gate field entered to the lower part of a source field.

[0009] Moreover, it sets it as the 2nd purpose that it can be made to do the semiconductor device of structure with which the gate field entered to the lower part of a source field in a no MARIOFU property.

[0010] Furthermore, it sets it as the 3rd purpose that the pressure-proofing at the time of a reverse bias is obtained.

[0011]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, in invention according to claim 1 to 5 While the gate field (4) is estranged from the source field (3) The 1st field formed from the front face of a drift region to the position where the junction depth is deeper than a source field (4A), The junction depth was deeply formed rather than this 1st field, it has the 2nd field (4B) constituted so that it might enter to the lower part of a source field, and the 2nd field is characterized by being low by high impurity concentration rather than the 1st field.

[0012] Thus, since it is formed so that the 2nd field may enter to the lower part of a source field, by narrowing the interval, it also sets, when the applied voltage to a gate electrode is zero, as shown in a claim 5, and the pinch-off of the drift region between the 2nd field can be carried out, and it can consider as no MARIOFU type equipment. For this reason, it can consider as advantageous equipment on a failsafe. Moreover, since high impurity concentration of the 2nd field is made low, reverse pressure-proofing of the PN junction between drain fields can be made high. That is, gate-drain pressure-proofing can become high.

[0013] Moreover, in order to estrange a gate field from a source field, generating of the leakage current by the PN junction formed of these can be prevented. For this reason, the pressure-proofing at the time of a reverse bias can be obtained. The silicon-carbide semiconductor device to carry out.

[0014] The process which carries out the ion implantation of the inactive ion kind to the formation schedule portion of a gate field (4) to the predetermined depth deeper than a source field (3) among the surface sections of a drift region (2) in invention according to claim 6, the field (4A) where the inactive ion kind was poured in among the surface sections of a drift region — and — this — with the process which carries out the ion implantation of the 2nd conductivity-type impurity to a field (4B) deeper than the depth into which the inactive ion kind was poured, and heat treatment Activate the 2nd conductivity-type impurity and it sets by the depth into which the inactive ion kind was poured. In a field deeper than the depth into which longitudinal direction diffusion of this 2nd conductivity-type impurity was made to suppress, and the inactive ion kind was poured Longitudinal direction diffusion of this 2nd conductivity-type impurity is carried out, and it is characterized by including the process which forms a gate field, and the process which forms a source field in the surface section of a drift region so that it may estrange from a gate field, as it enters to the lower part of a source field.

[0015] If the inactive ion kind (for example, C (carbon)) is poured in, the crystal defect of the field where the inactive ion kind was entered and poured into the hole of a carbon site will be repaired, and diffusion of an impurity will be suppressed. For this reason, to the field deeper than a source field among gate field formation schedule portions, by pouring in an inactive ion kind, in this field, longitudinal direction diffusion of the 2nd conductivity-type impurity is suppressed, and longitudinal direction diffusion of the 2nd conductivity-type impurity can progress in a field deeper than this field. And in a field deeper than the field where the inactive ion kind was poured in, high impurity concentration becomes low by thermal diffusion. Thereby, a silicon-carbide semiconductor device according to claim 1 is formed.

[0016] Invention according to claim 7 is characterized by carrying out the ion implantation of the ion kind inactive to the predetermined depth deeper than a source field between the formation schedule portions of each gate field arranged among the surface sections of a drift region at the both sides of a source field.

[0017] Thus, if the ion implantation of the inactive ion kind is carried out between the formation schedule portions of each gate field, since the thermal diffusion to the meantime will be suppressed, a silicon-carbide semiconductor device according to claim 1 is formed like a claim 6.

[0018] In invention according to claim 8, the direction of longitudinal direction diffusion of the 2nd conductivity-type impurity is set to  $\langle 12-0 \rangle$ . Since this  $\langle 12-0 \rangle$  direction is a direction which the 2nd conductivity-type impurity tends to diffuse rather than other directions, it can narrow between the 2nd field easily and can carry out the pinch-off of the drift region certainly.

[0019] According to invention according to claim 9, it is characterized by using C as an inactive ion kind, using B as the 2nd conductivity-type impurity.

[0020] It is known also in p type dopant that a diffusing capacity is large, and B can take large longitudinal direction diffusion. Moreover, since the crystal defect of the hole of a carbon site will be repaired by C which is the same element if C is used as an inactive ion kind, it is easy to repair from other elements, and injection rate of the element used for repair can be lessened.

[0021] In invention according to claim 10, it is characterized by using B as a p type impurity in a field still deeper than this field to the field which becomes deeper than a source field, using aluminum as a p type impurity.

[0022] In this case, since the amount of thermal diffusion of aluminum is small and the amount of thermal diffusion of B is large, it is formed so that a gate field may enter down the source field by longitudinal direction diffusion of B in a field deeper than a source field.

[0023] In addition, the sign in the parenthesis of each above-mentioned means shows a correspondence relation with the concrete means of a publication to the operation gestalt mentioned later.

[0024] [Embodiments of the Invention] (The 1st operation gestalt) The cross-section composition of SIT in this operation gestalt is shown in drawing 1. This cross-section composition illustrates one channel, and is used as multi-channel equipped with two or more these SIT(s) in fact.

[0025] As shown in drawing 1, high impurity concentration is equipped with n type drain field 1 which consisted of comparatively high n type silicon-carbide semiconductor substrates. the high impurity concentration formed in the main front face of this n type drain field 1 of epitaxial growth etc. — comparatively — low quantity — it has n type drift region [ \*\*\*\* ] 2 moreover, in the surface section of n type drift region 1, high impurity concentration is higher than n type drift region 1 — low — n type source field [ \*\*\*\* ] 3 is formed

[0026] And p type gate field 4 is formed in the both sides of this n type source field 3 so that it may estrange from this n type source field 3. This p type gate field 4 has constituted the configuration where n type source field 3 entered caudad by longitudinal direction diffusion, after being mostly extended from the front face of n type drift region 1 to a perpendicular on a substrate front face up to a position deeper than n type source field 3. Among this p type gate field 4, field 4A mostly extended from the front face of n type drift region 1 to the perpendicular on the substrate front face consists of p type semiconductors of low resistance to which high impurity concentration became comparatively high, and field (field which n type source field 3 entered caudad is included) 4B caudad located rather than this field 4A consists of p type semiconductors of high resistance to which high impurity concentration became low rather than field 4A. Moreover, C+ will be doped by field 4A as an inactive ion kind.

[0027] Furthermore, the gate electrode 6 and the source electrode 7 are formed, respectively, the drain electrode 8 is formed and SIT is constituted so that the front face (rear face of n type silicon-carbide semiconductor substrate) of n type drain field 1 may be touched so that the front face of p type gate field 4 and n type source field 3 may be touched. In addition, the passivation film 9 is arranged between the gate electrode 6 and the source electrode 7, and between these is insulated.

[0028] Thus, constituted SIT controls the amount of current of the drain current which flows between source-drains by controlling the applied voltage to the gate electrode 6 by carrying out the variation rate of the amount of elongation of the depletion layer extended toward n type drift region 3 from field 4B of p type source field 4, and making channel width expand and contract.

[0029] Moreover, when the voltage impression to the gate electrode 6 has not accomplished, the pinch-off of between adjoining

field 4B is carried out by the depletion layer extended toward n type source field 3 from field 4B of each adjoining p type source field 4. It is made for SIT to serve as a no MARIOFU type by this. for this reason, the length whose curvate distance d between adjoining field 4B is the grade to which the pinch-off of the meantime is carried out, i.e., both field 4B, — respectively — since — it is set up so that it may become below the amount of elongation of the extended depletion layer in this operation form, field 4B of high impurity concentration is comparatively low — high — since it is made to consist of p type semiconductors [ \*\*\*\* ], the amount of elongation of the depletion layer extended toward n type drift region 1 from field 4B is made greatly, and is made that it is easy to carry out the pinch-off of between both field 4B

[0030] Moreover, since n type source field 3 and p type gate field 4 do not touch, the leakage current of the PN-junction section formed when these contact can be prevented, and the pressure-proofing at the time of a reverse bias can be obtained.

[0031] Then, the manufacturing process of SIT shown in drawing 1 is shown in drawing 2 - drawing 5, and the manufacture method of SIT is explained.

[0032] [Process shown in drawing 2 (a)] The high impurity concentration which first consisted of 3C, 4H, 6H, or 15 R-SiC with a thickness of about 400 micrometers which were started in respect of silicon (0001) prepares the comparatively high concentration n-type-semiconductor substrate of low resistance. At this time, it is desirable to set to  $\langle 12-0 \rangle$  the direction which wants to use diffusion of B especially in 4H and 6H so that it may mention later. That is, it is good to make it the direction which crosses a drawing in this case set to  $\langle 12-0 \rangle$ . This n-type-semiconductor substrate constitutes n type drain field 1. and the high impurity concentration constituted from a silicon carbide by the main front face of this n type drain field 1 is lower than n type drain field 1 — high — n type drift region [ \*\*\*\* ] 2 is formed by about 10.0 micrometers in thickness by epitaxial growth

[0033] [Process shown in drawing 2 (b)] The LTO film 21 in which p type gate field formation schedule portion carries out opening is arranged, it considers as an inactive ion kind by using this LTO film 21 as a mask, and the ion implantation of C+ (carbon) is performed on the front face of n type drift region 2. At this time, ion-implantation conditions are set up so that C+ may be poured in by the ion implantation by Mr. Fukashi of field 4A (refer to drawing 1) of p type gate field 4.

[0034] Thereby, C+ enters into the hole of a carbon site, the hole of a carbon site is abolished, and the crystal defect which existed in n type drift region 2 is repaired.

[0035] [Process shown in drawing 3 (a)] The ion implantation of B+ (boron) is again performed by using the LTO film 21 as a mask. Thereby, p type gate field 4 is formed. At this time, in field 4A into which C+ was poured, B+ is made to be poured into C+ in piles, and further, ion-implantation conditions are set up so that B+ may be poured in to field 4B of a position deeper than field 4A into which this C+ was poured.

[0036] [Process shown in drawing 3 (b)] It heat-treats and poured-in B+ is activated. Since C+ is poured in and the crystal defect is repaired with B+ about Field A at this time, the thermal diffusion of B+ is suppressed and B+ is activated in the position as it is poured in mostly. On the other hand, since C+ is not poured in about Field B, the diffusion to a longitudinal direction and down progresses. Thereby, in field 4B, B+ carries out longitudinal direction diffusion to the lower part of n type source field 3 formed at a back process (process shown in drawing 4 (a)). In addition, it is the atom which is easy to carry out thermal diffusion of B+ in p type impurity, for example, is easy to carry out thermal diffusion from aluminum+ (aluminum) etc.

[0037] Thus, since field 4B of p type gate field 4 is made to make it enter to the lower part of n type source field 3 by longitudinal direction diffusion of C+, even if it does not need the ion implantation of a high energy, p type gate field 4 of the above-mentioned structure can be formed easily.

[0038] Moreover, in order for the high impurity concentration of field 4B to be able to become low since thermal diffusion of B+ is carried out in field 4B of p type gate field 4, and for B+ not to carry out thermal diffusion in field 4B, the high impurity concentration of field 4A can become high. For this reason, a depletion layer can make it easy to be extended from adjoining field 4B to n type drift region 2 in the meantime, and since field 4A is made to low resistance while being made to a no MARIOFU property, contact resistance with a gate electrode can become low.

[0039] Here, after using (112-0) of 6 H-SiC, (11-00), and a field (0001) for drawing 6 and carrying out the ion implantation of the B to it by 400keV(s), the profile of the depth direction immediately after the ion implantation when heat-treating for 30 minutes at 1700 degrees C and after heat treatment is shown.

[0040] As shown in this drawing, the size of the diffusing capacity of B serves as order of  $\langle 12-0 \rangle$ ,  $\langle 1-00 \rangle$ , and  $\langle 001 \rangle$ . Therefore, since  $\langle 120 \rangle$ , then a diffusing capacity serve as the maximum in a direction, i.e., the direction which diffuses B, to extend in order to raise the breadth to the longitudinal direction of field 4B, it is desirable. The stripe cell configuration where p type gate field 4 is located in a line in parallel also as a pattern of an element from this (p type gate field 4 is perpendicularly extended to a drawing) is desirable.

[0041] Moreover, compared with other directions, as shown in drawing 6, when the direction which carries out horizontal diffusion of the B is set to  $\langle 12-0 \rangle$ , since a diffusing capacity serves as the maximum, it is desirable.

[0042] [Process shown in drawing 4 (a)] After removing the LTO film 21, n type source field formation schedule portion arranges the LTO film 22 which carried out opening, carries out the ion implantation of either or the both sides of N+ (nitrogen) and P+ (Lynn) by using the LTO film 22 as a mask, and forms n type source field 3. At this time, a mask gap is expected and a part for opening of the LTO film 22 is made smaller enough than the interval of both field 4A of p type gate field 4 so that n type source field 3 may not touch p type gate field 4.

[0043] [Process shown in drawing 4 (b)] After removing the LTO film 22, a polysilicon contest film is arranged all over a wafer front face, after that, patterning of the polysilicon contest film is carried out, and the gate electrode 6 is formed.

[0044] [Process shown in drawing 5 (a)] After arranging the passivation film 9 all over a wafer front face, patterning is carried out and n type source field 3 and a contact hole open for free passage are formed in the passivation film 9.

[0045] [Process shown in drawing 5 (b)] The deposition of the conductive films, such as aluminum film, is carried out all over a wafer front face, and the source electrode 7 electrically connected with n type source field 3 is formed.

[0046] And the deposition of the conductive films, such as aluminum film, is carried out to the rear-face side of n type drain field 1, and the drain electrode 8 electrically connected with n type drain field 1 is formed. Thus, SIT shown in drawing 1 is completed.

[0047] (The 2nd operation gestalt) This operation gestalt changes the manufacturing process of SIT to the 1st operation gestalt. In addition, the composition and the manufacturing process of SIT of this operation gestalt explain only a portion which is

different since it is the same as that of the 1st operation gestalt of a simultaneously.

[0048] Hereafter, based on drawing 7, the manufacturing process of SIT in this operation gestalt is explained. In addition, in the manufacturing process of SIT in this operation gestalt, the same portion as the 1st operation gestalt is explained with reference to drawing 2 - drawing 5.

[0049] First, the process shown in drawing 2 (a) is given, and n type drift region 2 is formed on n type drain field 1. Then, the process shown in drawing 7 is carried out.

[0050] [Process shown in drawing 7 (a)] The LTO film in which between field 4A (refer to drawing 1) of p type gate field 4 carries out opening is arranged, and the ion implantation of C+ (carbon) which is an inactive ion kind is performed on the front face of n type drift region 2 by using this LTO film as a mask. At this time, ion-implantation conditions are set up so that C+ may be poured in by the ion implantation by Mr. Fukashi of field 4A of p type gate field 4.

[0051] Thereby, C+ enters into the hole of a carbon site and the crystal defect which existed in n type drift region 2 is repaired.

[0052] And the ion implantation of B+ (boron) is performed by using as a mask the LTO film 25 in which p type gate field formation schedule portion carries out opening. at this time, it is set as ion-implantation conditions into which until B+ is poured more deeply than the field where C+ formed at the process of drawing 7 (a) was poured in. Thereby, p type gate field 4 is formed. It will be in the state where the field where C+ was poured in intervened between both field 4A of p type gate field 4 by this, and will be in the state where the field where C+ was poured in does not intervene between field 4B.

[0053] [Process shown in drawing 7 (b)] It heat-treats and poured-in B+ is activated. Since C+ is poured in between both field 4A and the crystal defect is repaired in field 4A at this time, longitudinal direction diffusion of B+ is suppressed and B+ is activated in the position as it is poured in mostly. On the other hand, about field 4B, since C+ is not poured in between both field 4B, the diffusion to a longitudinal direction progresses. Thereby, in field 4B, B+ carries out longitudinal direction diffusion to the lower part of n type source field 3 formed at a back process.

[0054] Thus, in field 4A, longitudinal direction diffusion is suppressed also by carrying out the ion implantation of C+ between field 4A of p type gate field 4, and since it can form so that it may enter to the lower part of n type source field 3 by longitudinal direction diffusion in field 4B, the same effect as the 1st operation gestalt is acquired.

[0055] Then, SIT in this operation gestalt is completed by carrying out the process shown in drawing 4 and drawing 5 like the 1st operation gestalt.

[0056] In addition, the structure of SIT of this operation gestalt is the same about other composition, although the point which is in the state where C+ did not exist in field 4A of p type gate field 4, but C+ existed between both field 4A differs from the 1st operation gestalt.

[0057] (others — operation gestalt) in the above-mentioned 1st operation gestalt, although the ion implantation of C+ is carried out to field 4A of p type gate field 4 as an inactive ion kind and it is made to carry out the ion implantation of C+ between both field 4A as an inactive ion kind in the 2nd operation gestalt, you may be made to carry out the ion implantation of the inactive ion kind to both these

[0058] Moreover, although C+ is used as an inactive ion kind with each above-mentioned operation form, you may use an ion kind with inactive others, for example, Ar (argon), helium (helium), Si (silicon), etc.

[0059] Moreover, in the above-mentioned operation form, although the ion implantation of C+ was carried out in order to suppress the thermal diffusion of B+ in field 4A of p type gate field 4, it is also possible to use other methods. For example, B+ with the amount of thermal diffusion big [ using aluminum+ with the amount of thermal diffusion very small among p type impurities in field 4A ] to field 4B Even if it makes it use Since activation of the impurity poured in as well as the above-mentioned operation form where [ almost as it is ] an ion implantation is carried out in field 4A is performed and it can enter to the lower part of n type source field 3 in field 4B, the same effect as the above-mentioned operation form is acquired. In addition, although the bar (—) should be attached on the desired number properly speaking when a direction is shown, suppose that a bar is attached and shown behind a desired number on expressional restrictions.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**


---

**[Claim(s)]**

[Claim 1] The 1st field in which was equipped with the following and the aforementioned gate field was formed from the front face of the aforementioned drift region rather than the aforementioned source field to the position where the junction depth is deep (4A). The junction depth is deeply formed rather than this 1st field, and it has the 2nd field (4B) constituted so that it might enter to the lower part of the aforementioned source field. The 2nd field of the above it has the opposite side of the main front face and this main front face which are characterized by high impurity concentration being low rather than the 1st field of the above — low — with a drain field [\*\*\*\*] (1) it forms in the aforementioned main front face of the aforementioned drain field — having — this drain field — high — it forms in the surface section of the drift region (2) of the 1st conductivity type [\*\*\*\*], and the aforementioned drift region — having — this drift region — low — the surface section of the source field [\*\*\*\*] (3) of the 1st conductivity type, and the aforementioned drift region. The gate field of the 2nd conductivity type formed in each of the both sides of the aforementioned source field in the state where it estranged from this source field (4) The gate electrode which was formed on the aforementioned gate field and was electrically connected to this gate field (6) The source electrode which was formed on the aforementioned source field and was electrically connected to this source field (7) The drain electrode which was formed in the aforementioned opposite side among the aforementioned drain fields, and was electrically connected to this drain field (8)

[Claim 2] The silicon-carbide semiconductor device according to claim 1 characterized by the inactive ion kind being doped by the 1st field of the above.

[Claim 3] The silicon-carbide semiconductor device according to claim 1 or 2 characterized by doping the inactive ion kind at the aforementioned drift region between the 1st field of the above formed in each of the both sides of the aforementioned source field.

[Claim 4] The aforementioned gate field is the claim 1 characterized by consisting of p type semiconductors, using aluminum+ for the 1st field of the above as a p type impurity, and using B+ for the 2nd field of the above as a p type impurity, or the silicon-carbide semiconductor device of any one publication of three.

[Claim 5] The claim 1 characterized by the pinch-off of the aforementioned drift region between this 1st field being carried out by the depletion layer extended from each 1st field of the above formed in the both sides of the aforementioned source field when the applied voltage to the aforementioned gate electrode is zero, or the silicon-carbide semiconductor device of any one publication of four.

[Claim 6] it has the opposite side of the main front face and this main front face which are characterized by providing the following — low — on the aforementioned main front face [\*\*\*\*] of a drain field (1) this drain field — high — the drift region (2) of the 1st conductivity type [\*\*\*\*] has — having — the surface section of this drift region — this drift region — low, while the source field (3) of the 1st conductivity type [\*\*\*\*] is formed. The manufacture method of a silicon-carbide semiconductor device of coming to form the gate field (4) of the 2nd conductivity type in each of the both sides of this source field. The process which carries out the ion implantation of the ion kind inactive to the predetermined depth deeper than the aforementioned source field to the formation schedule portion of the aforementioned gate field among the surface sections of the aforementioned drift region. the above among the surface sections of the aforementioned drift region — the field (4A) where the inactive ion kind was poured in — and — this — the process which carries out the ion implantation of the 2nd conductivity-type impurity to a field deeper than the depth into which the inactive ion kind was poured heat treatment — the aforementioned 2nd conductivity-type impurity — being activated — the above — it sets by the depth into which the inactive ion kind was poured, and longitudinal direction diffusion of this 2nd conductivity-type impurity is suppressed — making — the above — the process which forms the aforementioned gate field as is made to carry out longitudinal direction diffusion of this 2nd conductivity-type impurity and enters to the lower part of the aforementioned source field in a field deeper than the depth into which the inactive ion kind was poured. The process which forms the aforementioned source field in the surface section of the aforementioned drift region so that it may estrange from the aforementioned gate field.

[Claim 7] it has the opposite side of the main front face and this main front face which are characterized by providing the following — low — on the aforementioned main front face [\*\*\*\*] of a drain field (1) this drain field — high — the drift region (2) of the 1st conductivity type [\*\*\*\*] has — having — the surface section of this drift region — this drift region — low, while the source field (3) of the 1st conductivity type [\*\*\*\*] is formed. The manufacture method of a silicon-carbide semiconductor device of coming to form the gate field (4) of the 2nd conductivity type in each of the both sides of this source field. The process which carries out the ion implantation of the ion kind inactive to the predetermined depth deeper than the aforementioned source field between the formation schedule portions of each aforementioned gate field arranged among the surface sections of the aforementioned drift region at the both sides of the aforementioned source field. the formation schedule portion of the aforementioned gate field among the surface sections of the aforementioned drift region — the above — the process which carries out the ion implantation of the 2nd conductivity-type impurity to a field deeper than the depth into which the inactive ion kind was poured heat treatment — the aforementioned 2nd conductivity-type impurity — being activated — the above — it sets by the depth into which the inactive ion kind was poured, and longitudinal direction diffusion of this 2nd



conductivity-type impurity is suppressed — making — the above — the process which forms the aforementioned gate field as is made to carry out longitudinal direction diffusion of this 2nd conductivity-type impurity and enters to the lower part of the aforementioned source field in a field deeper than the depth into which the inactive ion kind was poured The process which forms the aforementioned source field in the surface section of the aforementioned drift region so that it may estrange from the aforementioned gate field.

[Claim 8] the process which forms the aforementioned gate field — the above — the manufacture method of the silicon-carbide semiconductor device according to claim 6 or 7 characterized by making the horizontal diffusion of the aforementioned 2nd conductivity-type impurity carry out in the  $\langle 12-0 \rangle$  direction in a field deeper than the depth into which the inactive ion kind was poured

[Claim 9] the process which carries out the ion implantation of the aforementioned 2nd conductivity-type impurity — as the aforementioned 2nd conductivity-type impurity — the ion implantation of B (boron) — carrying out — the above — the process which carries out the ion implantation of the inactive ion kind — the above — the manufacture method of the claim 6 characterized by performing the ion implantation of C (carbon) as an inactive ion kind, or the silicon-carbide semiconductor device any one publication of eight

[Claim 10] it has the opposite side of the main front face and this main front face which are characterized by providing the following — low — on the aforementioned main front face [ \*\*\*\* ] of a drain field (1) this drain field — high — an n type drift region [ \*\*\*\* ] (2) has — having — the surface section of this drift region — this drift region — low, while the source field (3) of n type \*\* [ \*\*\*\* ] is formed The manufacture method of a silicon-carbide semiconductor device of coming to form a p type gate field (4) in each of the both sides of this source field. The process which carries out the ion implantation of the aluminum (aluminum) to the aforementioned gate field formation schedule portion to the predetermined depth deeper than the aforementioned source field among the surface sections of the aforementioned drift region. The process which carries out the ion implantation of the B (boron) to a field deeper than the field where Above aluminum was injected into the aforementioned gate field formation schedule portion among the surface sections of the aforementioned drift region. The process which activates Above aluminum and Above B, is made to carry out longitudinal direction diffusion of the above B so that it may enter to the lower part of the aforementioned source field, and forms the aforementioned gate field with heat treatment. The process which forms the aforementioned n type source field in the surface section of the aforementioned drift region so that it may estrange from the aforementioned gate field.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

## [Brief Description of the Drawings]

[Drawing 1] It is drawing showing the cross-section composition of SIT in the 1st operation gestalt of this invention.

[Drawing 2] It is drawing showing the manufacturing process of SIT shown in drawing 1 .

[Drawing 3] It is drawing showing the manufacturing process of SIT following drawing 2 .

[Drawing 4] It is drawing showing the manufacturing process of SIT following drawing 3 .

[Drawing 5] It is drawing showing the manufacturing process of SIT following drawing 4 .

[Drawing 6] It is drawing showing change of the diffusing capacity when carrying out thermal diffusion of the B after an ion implantation, and (a) is drawing showing the case where (c) performs an ion implantation to the a-th (112-0) page, when an ion implantation is performed to Si (0001) side, and (b) performs an ion implantation to the a-th (11-00) page.

[Drawing 7] It is drawing showing the manufacturing process of SIT in the 2nd operation gestalt.

[Drawing 8] It is drawing showing the cross-section composition of the conventional SIT.

[Drawing 9] It is drawing showing the result which investigated the pressure-proofing at the time of the reverse bias in the conventional SIT.

## [Description of Notations]

1 [ — n type source field, 4 (4A, 4B) / — p type gate field, 6 / — A gate electrode, 7 / — A source electrode, 8 / — A drain electrode, 9 / — Passivation film. ] — n type drain field, 2 — n type drift region, 3

---

[Translation done.]